

MANUFACTURE OF SEMICONDUCTOR DEVICE

(JP3382743)

PURPOSE: To prevent short circuit between a gate electrode and a source.drain region, in a salicide method.

CONSTITUTION: After a side wall 209 of a silicon nitride film is formed on the side surface of a protruding pattern composed of a gate oxide film 204, a polycrystalline silicon gate electrode 205 and a PSG film pattern 206, the PSG film pattern 206 is eliminated, and the side wall 209 which protrudes higher than the polycrystalline silicon gate electrode 205 is left. A titanium film 211 is deposited, heat treatment at 450-550 deg.C is performed for 5-10 minutes by using a heating furnace, and a silicide layer 212 is formed on the surface of the polycrystalline silicon gate electrode 205 and the surface of a source.drain region. In this case, the side wall 209 protruding higher than the polycrystalline silicon gate electrode 205 restrains the short circuit between the source.drain region and the gate electrode in a silicification process.

COPYRIGHT: (C)1996,JPO

(57) [Claim(s)]

[Claim 1] The manufacture approach of the semiconductor device characterized by including (C) from the following processes (A).

(A) After forming gate dielectric film in the component formation field of a semi-conductor substrate and forming a polycrystal silicone film on it, The process which carries out the ion implantation of the refractory metal to the polycrystal silicone film, patternizes the polycrystal silicone film by which the ion implantation was carried out, and forms a gate electrode, (B) Form an insulator layer on the substrate front face containing a gate electrode, and anisotropic etching is performed to the insulator layer. The refractory metal film is formed on the process which leaves the insulator layer only to the side of a gate electrode, and the substrate front face containing (C) gate electrode. The process which removes except the silicide-ized part of the refractory metal film by etching after silicide-izing said refractory metal film which heat-treated and is in contact with the polycrystal silicone film of semi-conductor substrate silicon and a gate electrode.

[Claim 2] The manufacture approach of a semiconductor device according to claim 1 that the refractory metal film and the refractory metal by which an ion implantation is carried out are molybdenum, a tantalum, a tungsten, or titanium.

[Claim 3] The manufacture approach of a semiconductor device according to claim 1 that the refractory metal by which an ion implantation is carried out is titanium.

[Detailed Description of the Invention]

[0001]

[Industrial Application] Especially this invention relates to the manufacture approach of the semiconductor device equipped with the gate electrode and source drain field which were silicide-ized about the manufacture approach of an MOS mold semiconductor device.

[0002]

[Description of the Prior Art] A semiconductor device is integrated highly, a pattern follows on being made detailed, and low resistance-ization of a gate electrode is demanded. The approach of considering as the approach of forming a gate electrode into low resistance, and silicide-izing a gate electrode by SALICIDE (Self-Aligned Silicide) technique is learned.

[0003] Drawing 2 shows the process which silicide-izes a gate electrode and a source drain field using the SALICIDE process.

(A) Form the polycrystal silicone film 103 formed into low resistance by gate oxide 102 and impurity installation on a silicon substrate 101, deposit silicon oxide on the substrate containing a gate electrode, give etchback to the oxide film, and form a sidewall 104 in a gate electrode side face.

[0004] (B) Next, make the electrode material metal membrane 105 deposit on the whole surface.

(C) Then, by heat-treating, carry out counter diffusion between a source drain field and the polycrystal silicone film 103, and a metal membrane 105, and form the silicide layer 106.

(D) If etching removes metal membranes 105 other than silicide layer 106, the silicide-ized source drain field and the silicide-ized gate electrode will be obtained.

[0005] In case a silicide layer is formed in a gate electrode by the approach of drawing 2, when the high impurity concentration of the polycrystal silicone film 103 is large, it is known that a silicide-ized reaction rate will become slow. Therefore, if the heating processing time was lengthened in order to form the silicide layer of sufficient thickness for a gate electrode, diffusion of the silicon from a source drain field takes place also into the metal membrane on a sidewall 104, it happens that between a source drain field and gate electrodes connects too hastily, and it is made difficult to form a gate electrode into low resistance more.

[0006] then, after form a metal membrane 105 at the process of (B) of drawing 2, by pour silicon ion only into the metal membrane of a gate electrode section selectively using a convergence ion beam, the silicide layer of thickness sufficient on a gate electrode by the short heating processing time be form, and the approach of prevent the short circuit between a source drain field and a gate electrode be propose (refer to JP,4-57095,B).

[0007]

[Problem(s) to be Solved by the Invention] By the approach of an illustration, in order to pour in silicon ion only on the metal membrane of a gate electrode section, the convergence ion beam is used. However, even if pouring ion into the gate electrode made detailed with a sufficient precision controls a convergence ion beam and it came for precision to be able to improve an ion implantation a technically difficult top, for processing the whole surface of the wafer to enlarge, long duration will be required dramatically, and the problem of not being practical will arise. This invention is the approach of forming a silicide layer in a gate electrode and a source drain field by the SALICIDE method, and while preventing the short circuit between a source drain field and a gate electrode, it aims at enabling it to process by practical time amount.

[0008]

[Means for Solving the Problem] This invention contains (C) from the following processes (A). (A) After forming gate dielectric film in the component formation field of a semi-conductor substrate and forming a polycrystal silicone film on it, The process which carries out the ion implantation of

the refractory metal to the polycrystal silicone film, patternizes the polycrystal silicone film by which the ion implantation was carried out, and forms a gate electrode, (B) Form an insulator layer on the substrate front face containing a gate electrode, and anisotropic etching is performed to the insulator layer. The refractory metal film is formed on the process which leaves the insulator layer only to the side of a gate electrode, and the substrate front face containing (C) gate electrode. The process which removes except the silicide-ized part of the refractory metal film by etching after silicide-izing said refractory metal film which heat-treated and is in contact with the polycrystal silicone film of semi-conductor substrate silicon and a gate electrode.

[0009] Here, it is desirable that they are molybdenum, a tantalum, a tungsten, or titanium as refractory metal film. It is because these refractory metal film is easy to remove by wet etching. Molybdenum, a tantalum, a tungsten, or titanium can be used also as a refractory metal by which an ion implantation is carried out. Among these, if titanium with the smallest mass number is used, the easy equipment as an ion-implantation machine can be used, and it is convenient.

[0010]

[Example] Drawing 1 explains one example.

(A) Form field oxide 403 on a channel stopper field by the selective oxidation method after carrying out the ion implantation of the boron which is a P type impurity to the P type silicon substrate 401 selectively and forming the channel stopper field 402. Then, the thermal oxidation film 404 which performs thermal oxidation processing and turns into gate oxide on the front face of the silicon substrate 401 of a component formation field is grown up into the thickness of about 10nm. The thickness of about 500nm is made to deposit on the whole surface the polycrystal silicone film 405 which contained the impurity on it.

[0011] Then, the titanium which is a refractory metal is poured into the polycrystal silicone film 405. The impregnation conditions at this time are the energy of 10-30KeV, and a dose is 5×10^{15} to $5 \times 10^{16}/\text{cm}^2$. By using as titanium the refractory metal which carries out an ion implantation to the polycrystal silicone film 405, since mass is comparatively light, titanium has the advantage which does not need a special impregnation machine. However, the refractory metal which carries out an ion implantation to the polycrystal silicone film 405 is replaced with titanium, and it is good also as molybdenum, a tantalum, or a tungsten.

[0012] (B) Patternize the polycrystal silicone film 405 and gate oxide 404 by photoengraving process and etching, and form the convex pattern used as a gate electrode. By using the convex pattern and field oxide 403 as a mask, in order to form the low concentration field of the LDD (Lightly Doped Drain) structure of a source drain field, the ion implantation of Lynn which is an N type impurity is carried out to a silicon substrate 401. Impregnation energy is [85 - 95KeV and the dose of the ion-implantation conditions at this time] 2.0×10^{13} to $2.5 \times 10^{13}/\text{cm}^2$.

[0013] (C) Next, heat-treat under an inert gas ambient atmosphere, activate Lynn injected into the silicon substrate 401, and form the N-field 406 where the junction depth is shallow, after heat-treating and forming about 10nm thermal oxidation film (graphic display abbreviation) on the exposed silicon substrate 401. Then, a CVD method is used for the whole surface and silicon oxide 407 is deposited on the thickness of about 100nm.

[0014] (D) Etch silicon oxide 407 by reactive ion etching, and make the sidewall 408 of silicon oxide remain on the side face of the convex pattern used as a gate electrode. Then, field oxide 403 is used as a mask at the convex pattern used as a gate electrode and the sidewall 408 of the silicon oxide of the side face, and a list, the ion implantation of the arsenic which is the impurity of N type is carried out to a silicon substrate 401, and the high-concentration N+ field 409 with junction deeper than the N-field 406 is formed. Impregnation energy is [45 - 55KeV and the dose of the ion-implantation conditions at this time] 5x10¹⁵ to 6x10¹⁵/cm².

[0015] (E) Next, deposit the titanium film 410 on the thickness of 50-100nm with means, such as the sputtering method, as a refractory metal which forms a silicide layer.

[0016] (F) Then, heat-treat by the lamp annealing method for 10 - 30 seconds at the temperature of 650-750 degrees C, make counter diffusion perform between silicon and the titanium film 410 on the front face of the polycrystal silicon-gate electrode 405, and a source drain field front face, and form the silicide layer 411. Next, the unreacted titanium film 410 is removed with the mixed liquor of being the etching reagent of titanium (aqueous ammonia + hydrogen-peroxide-solution + pure water). By this, the silicide layer 411 remains in a source drain field front face and a gate electrode surface.

[0017] Even if it replaces with titanium as refractory metal film deposited in the example and uses molybdenum, a tantalum, or a tungsten, a silicide layer can be formed similarly. These refractory metals are easy to remove an unreacted metal membrane by wet etching.

[0018]

[Effect of the Invention] In this invention, since the refractory metal contains in the gate electrode, the delay of a silicide-ized reaction in polycrystalline silicon can be compensated and-izing can be carried out [silicide] for a short time, it can stop that between source drain fields connects with a gate electrode too hastily in a silicide layer. If titanium, molybdenum, a tantalum, or a tungsten is used as refractory metal film, the unreacted refractory metal film is easily removable by wet etching after a silicide chemically-modified degree. Since mass is comparatively light in the festival which carries out the ion implantation of the refractory metal to the polycrystal silicone film of a gate electrode, and its refractory metal which carries out an ion implantation, titanium, then titanium do not need a special impregnation machine. By this invention, except the process which patternizes a gate electrode, since the photoengraving-process process is not included, the increment in cost can be suppressed.

[Brief Description of the Drawings]

[Drawing 1] It is the process sectional view showing one example.

[Drawing 2] It is the process sectional view showing the conventional Salicide approach.

[Description of Notations]

401 Silicon Substrate

404 Gate Oxide

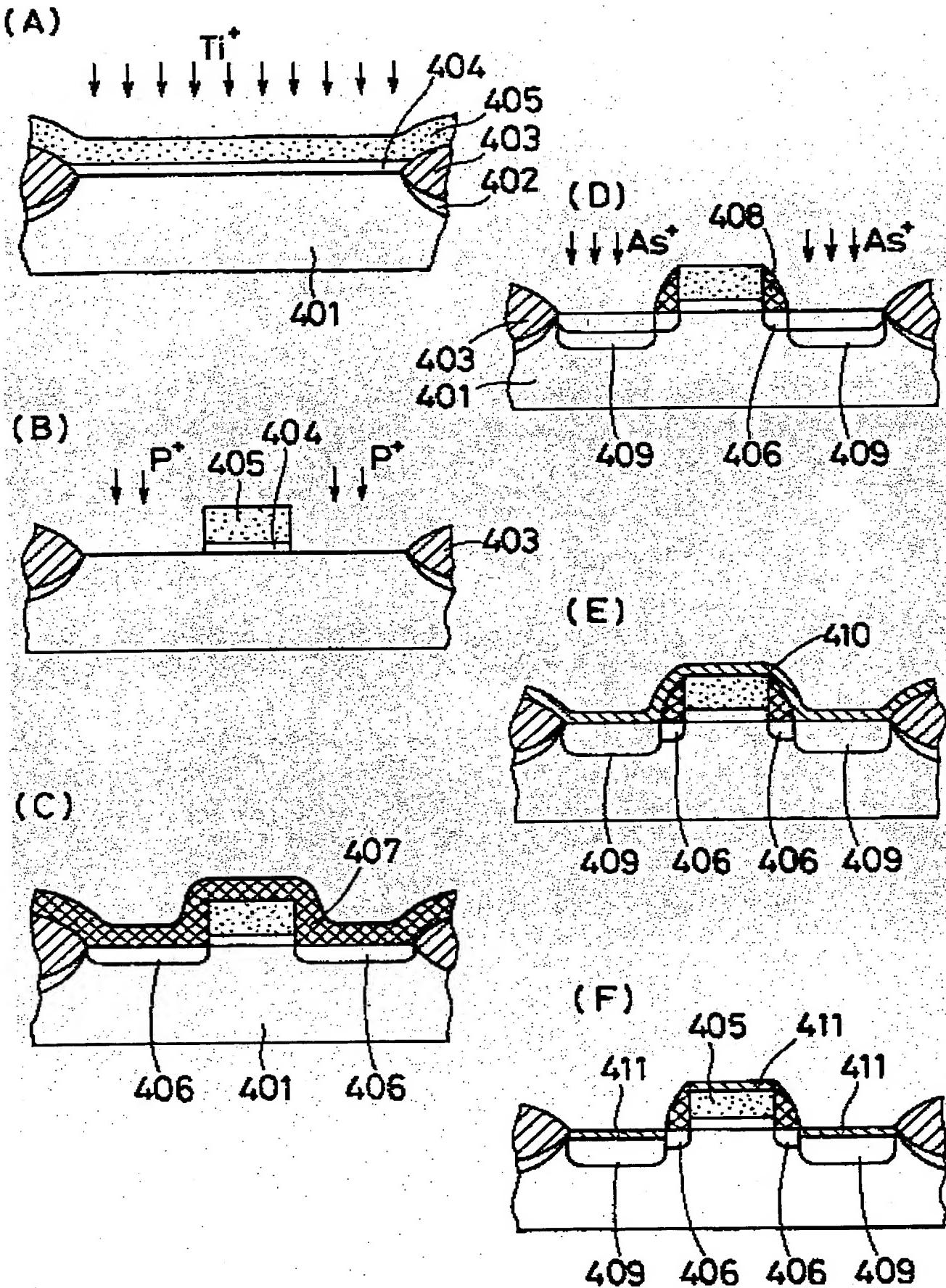
405 Polycrystal Silicone Film

408 Sidewall

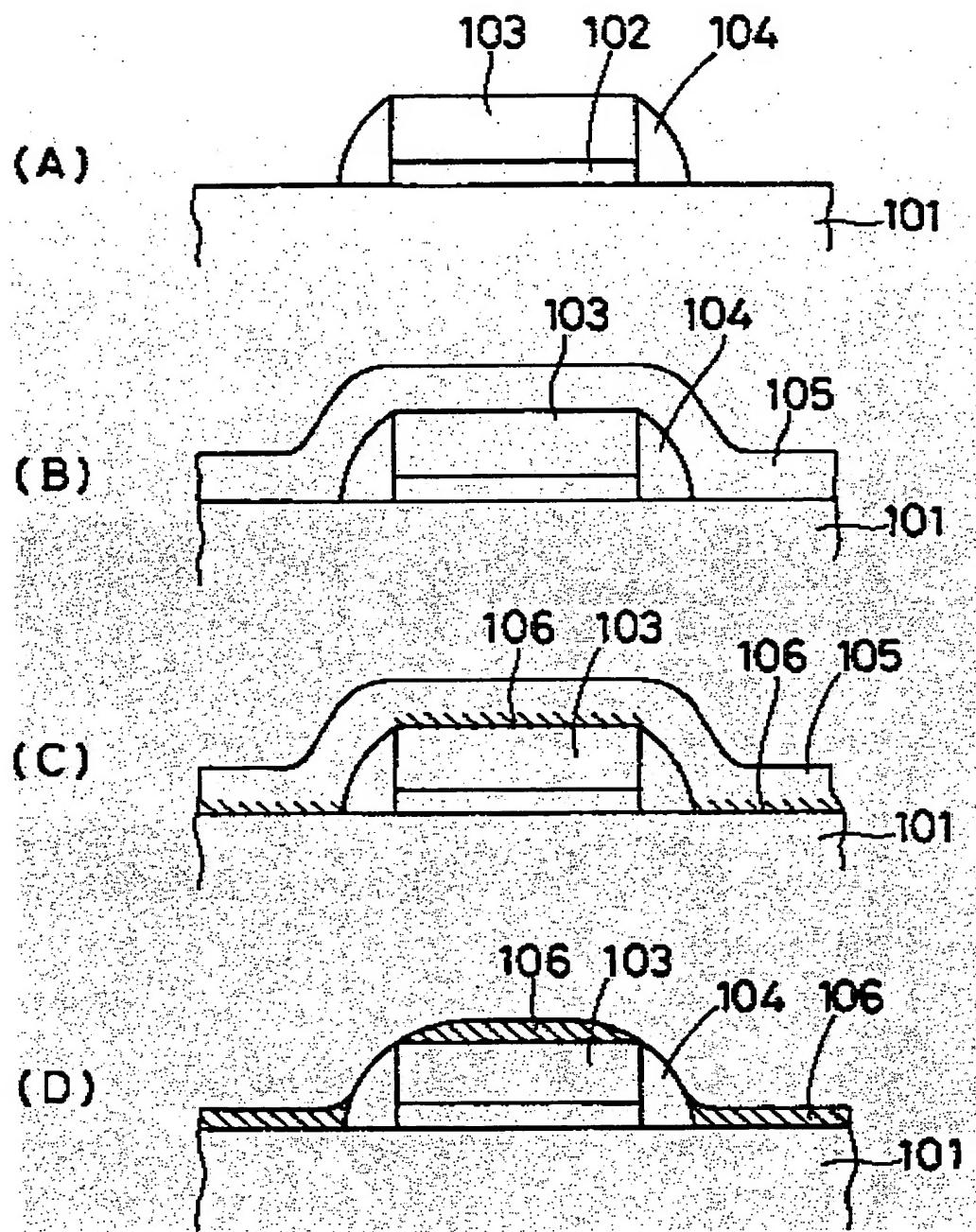
409 Silicon Oxide

410 Titanium Film

411 Silicide Layer



BEST AVAILABLE COPY



BEST AVAILABLE COPY

(19)日本国特許庁 (JP)

(12) 特 許 公 報 (B 2)

(11)特許番号

特許第3382743号
(P3382743)

(45)発行日 平成15年3月4日(2003.3.4)

(24)登録日 平成14年12月20日(2002.12.20)

(51)Int.Cl.'

H01L 29/78
21/28

識別記号

301

F I

H01L 21/28
29/78

301S
301G
301S

請求項の数 3 (全 4 頁)

(21)出願番号 特願平7-31566

(22)出願日 平成7年1月27日(1995.1.27)

(65)公開番号 特開平8-204193

(43)公開日 平成8年8月9日(1996.8.9)

審査請求日 平成12年12月14日(2000.12.14)

(73)特許権者 000006747

株式会社リコー

東京都大田区中馬込1丁目3番6号

一色 海平

東京都大田区中馬込1丁目3番6号 株

式会社リコー内

100085464

弁理士 野口 雅雄

審査官 恩田 春香

(56)参考文献 特開 平3-288443 (JP, A)

特開 平2-54536 (JP, A)

特開 平5-267600 (JP, A)

(58)調査した分野(Int.Cl.' , DB名)

H01L 29/78

H01L 21/336

(54)【発明の名称】 半導体装置の製造方法

1

2

(57)【特許請求の範囲】

【請求項1】 以下の工程(A)から(C)を含むことを特徴とする半導体装置の製造方法。

(A) 半導体基板の素子形成領域にゲート絶縁膜を形成し、その上に多結晶シリコン膜を形成した後、その多結晶シリコン膜に高融点金属をイオン注入し、そのイオン注入された多結晶シリコン膜をパターン化してゲート電極を形成する工程。

(B) ゲート電極を含む基板表面上に絶縁膜を形成し、その絶縁膜に異方性エッチングを施し、ゲート電極の側方にのみその絶縁膜を残す工程。

(C) ゲート電極を含む基板表面上に高融点金属膜を形成し、熱処理を施して半導体基板シリコン及びゲート電極の多結晶シリコン膜と接している前記高融点金属膜をシリサイド化した後、高融点金属膜のシリサイド化部分

以外をエッティングにより除去する工程。

【請求項2】 高融点金属膜及びイオン注入される高融点金属がモリブデン、タンタル、タングステン、又はチタンである請求項1に記載の半導体装置の製造方法。

【請求項3】 イオン注入される高融点金属がチタンである請求項1に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明はMOS型半導体装置の製造方法に関し、特にシリサイド化されたゲート電極及びソース・ドレイン領域を備えた半導体装置の製造方法に関するものである。

【0002】

【従来の技術】 半導体装置が高集積化されパターンが微細化されるにともなって、ゲート電極の低抵抗化が要求

されている。ゲート電極を低抵抗化する方法としてSALICIDE (Self-Aligned Silicide) 技法によりゲート電極をシリサイド化する方法が知られている。

【0003】図2はそのSALICIDEプロセスを用いてゲート電極とソース・ドレイン領域をシリサイド化する工程を示したものである。

(A) シリコン基板101上にゲート酸化膜102及び不純物導入により低抵抗化された多結晶シリコン膜103を形成し、ゲート電極を含む基板上にシリコン酸化膜を堆積し、その酸化膜にエッチバックを施してゲート電極側面にサイドウォール104を形成する。

【0004】(B) 次に、電極材料金属膜105を全面に堆積させる。

(C) 続いて、加熱処理を行なうことにより、ソース・ドレイン領域及び多結晶シリコン膜103と金属膜105の間に相互拡散させてシリサイド層106を形成する。

(D) シリサイド層106以外の金属膜105をエッチングにより除去すると、シリサイド化されたソース・ドレイン領域とシリサイド化されたゲート電極が得られる。

【0005】図2の方法でゲート電極にシリサイド層を形成する際、多結晶シリコン膜103の不純物濃度が大きい場合はシリサイド化反応速度が遅くなることが知られている。そのため、ゲート電極に十分な厚さのシリサイド層を形成するために、加熱処理時間を長くしたとすれば、ソース・ドレイン領域からのシリコンの拡散がサイドウォール104上の金属膜中にも起こり、ソース・ドレイン領域とゲート電極との間が短絡することが起こり、ゲート電極をより低抵抗化するのが困難であるとされている。

【0006】そこで、図2の(B)の工程で金属膜105を形成した後、収束イオンビームを用いてゲート電極部分の金属膜にのみシリコンイオンを選択的に注入することにより、短い加熱処理時間でゲート電極上に十分な厚さのシリサイド層を形成し、ソース・ドレイン領域とゲート電極との間の短絡を防ぐようにする方法が提案されている（特公平4-57095号公報参照）。

【0007】

【発明が解決しようとする課題】引例の方法ではゲート電極部分の金属膜上のみにシリコンイオンを注入するために、収束イオンビームを用いている。しかし、微細化されたゲート電極に精度よくイオンを注入することは技術的に困難であるうえ、仮に収束イオンビームを制御して精度よくイオン注入できるようになったとしても、大型化するウエハの全面を処理するには非常に長時間を要し、実用的でないという問題が生じる。本発明はSALICIDE法によりゲート電極とソース・ドレイン領域にシリサイド層を形成する方法で、ソース・ドレイン領域とゲート電極との間の短絡を防ぐとともに、実用的な時間で処

理できるようにすることを目的とするものである。

【0008】

【課題を解決するための手段】本発明は以下の工程

(A) から (C) を含んでいる。(A) 半導体基板の素子形成領域にゲート絶縁膜を形成し、その上に多結晶シリコン膜を形成した後、その多結晶シリコン膜に高融点金属をイオン注入し、そのイオン注入された多結晶シリコン膜をパターン化してゲート電極を形成する工程、

(B) ゲート電極を含む基板表面上に絶縁膜を形成し、その絶縁膜に異方性エッチングを施し、ゲート電極の側方にのみその絶縁膜を残す工程、(C) ゲート電極を含む基板表面上に高融点金属膜を形成し、熱処理を施して半導体基板シリコン及びゲート電極の多結晶シリコン膜と接している前記高融点金属膜をシリサイド化した後、高融点金属膜のシリサイド化部分以外をエッチングにより除去する工程。

【0009】ここで、高融点金属膜としてはモリブデン、タンタル、タングステン、又はチタンであることが好ましい。これらの高融点金属膜はウエットエッチングで除去するのが容易だからである。イオン注入される高融点金属としてもモリブデン、タンタル、タングステン、又はチタンを用いることができる。このうち、最も質量数の小さいチタンを用いると、イオン注入機として簡単な装置を用いることができ、好都合である。

【0010】

【実施例】図1により一実施例を説明する。

(A) P型シリコン基板401にP型不純物であるボロンを選択的にイオン注入してチャネルトップ領域402を形成した後、選択酸化法によりチャネルトップ領域上にフィールド酸化膜403を形成する。続いて、熱酸化処理を行なって素子形成領域のシリコン基板401の表面にゲート酸化膜となる熱酸化膜404を約10nmの厚さに成長させる。その上に不純物を含んだ多結晶シリコン膜405を全面に約500nmの厚さに堆積させる。

【0011】その後、高融点金属であるチタンを多結晶シリコン膜405に注入する。このときの注入条件は10~30KeVのエネルギーで、ドーズ量が 5×10^{15} ~ $5 \times 10^{16} / \text{cm}^2$ である。多結晶シリコン膜405にイオン注入する高融点金属をチタンとすることにより、チタンは質量が比較的軽いので特別な注入機を必要としない利点がある。しかし、多結晶シリコン膜405にイオン注入する高融点金属をチタンに代えてモリブデン、タンタル又はタングステンとしてもよい。

【0012】(B) 写真製版とエッチングによって多結晶シリコン膜405とゲート酸化膜404をパターン化し、ゲート電極となる凸状パターンを形成する。その凸状パターン及びフィールド酸化膜403をマスクとして、ソース・ドレイン領域のLDD (Lightly Doped Drain) 構造の低濃度領域を形成するためにシリコン基板

401にN型不純物であるリンをイオン注入する。このときのイオン注入条件は、注入エネルギーが85～95KeV、ドーズ量が $2.0 \times 10^{13} \sim 2.5 \times 10^{13} / \text{cm}^2$ である。

【0013】(C) 次に、熱処理を施して、露出したシリコン基板401上に約10nmの熱酸化膜(図示略)を形成した後、不活性ガス雰囲気下で熱処理を施して、シリコン基板401に注入されたリンを活性化し、接合深さの浅いN⁺領域406を形成する。続いて、全面にCVD法を用いてシリコン酸化膜407を約100nmの厚さに堆積する。
10

【0014】(D) 反応性イオンエッティングによってシリコン酸化膜407をエッティングし、ゲート電極となる凸状パターンの側面にシリコン酸化膜のサイドウォール408を残存させる。その後、ゲート電極となる凸状パターン及びその側面のシリコン酸化膜のサイドウォール408、並びにフィールド酸化膜403をマスクにして、シリコン基板401にN型の不純物である砒素をイオン注入して、N⁺領域406よりも深い接合をもつ高濃度のN⁺領域409を形成する。このときのイオン注入条件は、注入エネルギーが45～55KeV、ドーズ量が $5 \times 10^{15} \sim 6 \times 10^{15} / \text{cm}^2$ である。

【0015】(E) 次に、シリサイド層を形成する高融点金属としてチタン膜410をスペッタリング法などの手段によって50～100nmの厚さに堆積する。

【0016】(F) 続いて、650～750℃の温度で10～30秒のランプアニール法にて加熱処理を行ない、多結晶シリコンゲート電極405の表面とソース・ドレイン領域表面でシリコンとチタン膜410との間で相互拡散を行なわせ、シリサイド層411を形成する。
30 次に、チタンのエッティング液である(アンモニア水+過酸化水素水+純水)の混合液で未反応のチタン膜410を除去する。これによって、ソース・ドレイン領域表面

とゲート電極表面とにのみシリサイド層411が残る。

【0017】実施例で堆積する高融点金属膜としてチタンに代えてモリブデン、タンタル又はタンクステンを用いても同様にシリサイド層を形成することができる。これらの高融点金属は未反応の金属膜をウエットエッティングで除去することが容易である。

【0018】

【発明の効果】本発明では、ゲート電極中に高融点金属が含有されているので、多結晶シリコン中でのシリサイド化反応の遅れを補うことができ、短時間でシリサイド化できるため、ゲート電極とソース・ドレイン領域の間にシリサイド層で短絡されるのを抑えることができる。高融点金属膜としてチタン、モリブデン、タンタル、又はタンクステンを用いれば、シリサイド化工程の後、未反応の高融点金属膜をウエットエッティングで簡単に除去することができる。ゲート電極の多結晶シリコン膜に高融点金属をイオン注入する際、そのイオン注入する高融点金属をチタンとすれば、チタンは質量が比較的軽いので特別な注入機を必要としない。本発明ではゲート電極をパターン化する工程以外では写真製版工程を含んでいないため、コスト増加を抑えることができる。

【図面の簡単な説明】

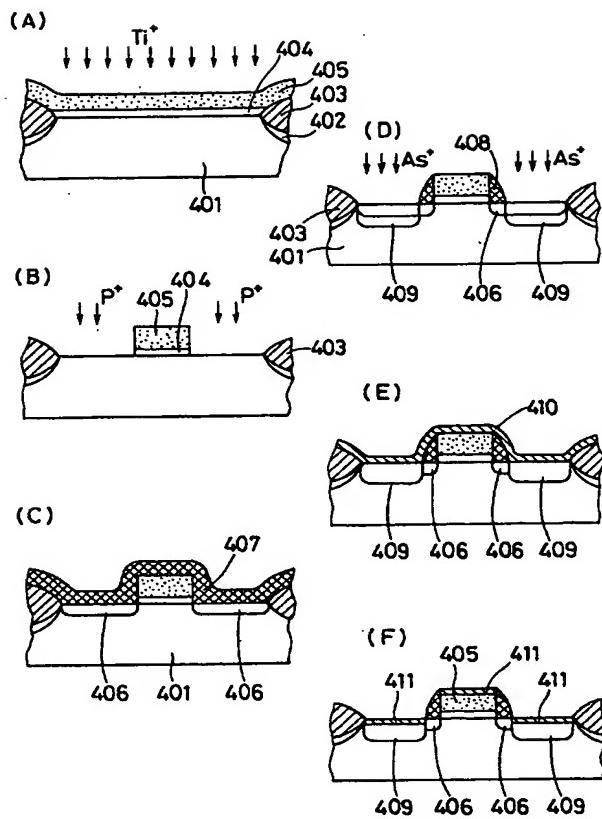
【図1】一実施例を示す工程断面図である。

【図2】従来のシリサイド方法を示す工程断面図である。

【符号の説明】

401	シリコン基板
404	ゲート酸化膜
405	多結晶シリコン膜
408	サイドウォール
409	シリコン酸化膜
410	チタン膜
411	シリサイド層

【图 1】



[図2]

